

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-072943

(43)Date of publication of application : 17.03.1995

(51)Int.Cl.

G05F 3/24

G05F 1/56

H03G 3/10

(21)Application number : 05-220235

(71)Applicant : TOSHIBA CORP
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 03.09.1993

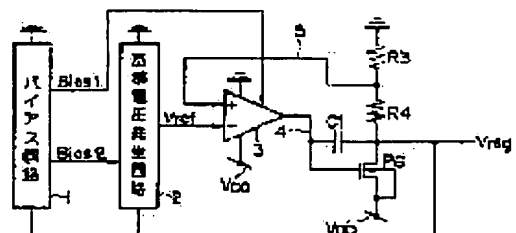
(72)Inventor : KURODA TADASHI
KAJIWARA EIJI
TAGUCHI TAKASHI
YOSHIDA HIROSHI
UCHIDA HIDEAKI

(54) CONSTANT VOLTAGE CIRCUIT

(57)Abstract:

PURPOSE: To provide a constant voltage circuit capable of obtaining constant voltage by suppressing the influence of the fluctuation of power supply voltage without causing the enlargement of a circuit scale.

CONSTITUTION: This circuit is provided with a bias circuit 1 generating bias voltage Bias 1 and Bias 2 by receiving power supply voltage, a reference voltage generation circuit 2 generating reference voltage Vref by receiving power source voltage and bias voltage 2, and a voltage follower circuit which is provided with a differential amplifying stage 3 and output stages P6, R3, R4 and C1 to output the n-fold voltage of reference voltage Vref by receiving the bias voltage Bias 1 and reference voltage Vref and where reference voltage is inputted to one of the input terminal of the stage 3 and the 1/n voltage of voltage outputted from the voltage follower circuit is inputted to the other input terminal. Thus, voltage outputted from the voltage follower circuit is given to the reference voltage circuit 2 as the power supply voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 7 2 9 4 3

(43) 公開日 平成 7 年 (1995) 3 月 17 日

| (51) Int. Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|----------------------------|------|-----------|-----|--------|
| G05F 3/24 | | Z 4237-5H | | |
| 1/56 | 310 | E | | |
| | | F | | |
| H03G 3/10 | | B | | |

審査請求 未請求 請求項の数 1 O L (全 9 頁)

(21) 出願番号 特願平 5 - 2 2 0 2 3 5
(22) 出願日 平成 5 年 (1993) 9 月 3 日

(71) 出願人 0 0 0 0 0 3 0 7 8
株式会社東芝
神奈川県川崎市幸区堀川町 7 2 番地
(71) 出願人 0 0 0 2 2 1 1 9 9
東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町 2 5 番地 1
(72) 発明者 黒 田 正
神奈川県川崎市幸区堀川町 5 8 0 番 1 号
株式会社東芝半導体システム技術センター
内
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

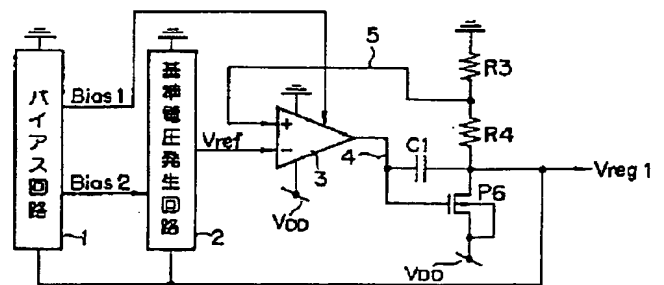
最終頁に続く

(54) 【発明の名称】 定電圧回路

(57) 【要約】

【目的】 回路規模の増大を招くことなく電源電圧の変動の影響を抑制し一定の電圧を得ることが可能な定電圧回路を提供する。

【構成】 電源電圧を与えられてバイアス電圧 Bias1 及び Bias2 を発生するバイアス回路 1 と、電源電圧とバイアス電圧 Bias2 とを与えられて基準電圧 Vref を発生する基準電圧発生回路 2 と、差動増幅段 3 と出力段 P6、R3 及び R4、C1 とを有し、バイアス電圧 Bias1 と基準電圧 Vref とを与えられて基準電圧 Vref の n 倍の電圧を出力するボルテージフォロワ回路であって、差動増幅段 3 の一方の入力端子には基準電圧が入力され、他方の入力端子にはボルテージフォロワ回路から出力された電圧の 1/n の電圧が入力されるボルテージフォロワ回路とを備え、このボルテージフォロワ回路から出力された電圧がバイアス回路 1 及び基準電圧発生回路 2 に電源電圧として与えられる。



【特許請求の範囲】

【請求項 1】電源電圧を与えられて第 1 及び第 2 のバイアス電圧を発生するバイアス回路と、

前記電源電圧と、前記バイアス回路から発生された前記第 1 のバイアス電圧とを与えられて基準電圧を発生する基準電圧発生回路と、

差動増幅段と出力段とを有し、前記バイアス回路から発生された前記第 2 のバイアス電圧と前記基準電圧発生回路から発生された前記基準電圧とを与えられて前記基準電圧の n (n は、任意の正の数) 倍の電圧を出力するボルテージフォロワ回路であって、前記差動増幅段の一方の入力端子には前記基準電圧発生回路から発生された前記基準電圧が入力され、他方の入力端子には前記ボルテージフォロワ回路から出力された前記電圧の $1/n$ の電圧が入力される前記ボルテージフォロワ回路とを備え、前記ボルテージフォロワ回路から出力された前記電圧が、前記バイアス回路及び前記基準電圧発生回路に前記電源電圧として与えられることを特徴とする定電圧回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電源電圧を安定化するために用いる定電圧回路に関し、特に電卓や時計、マイクロコンピュータ等の小型電子機器に内蔵する集積回路として好適なものに関する。

【0002】

【従来の技術】近年、電卓、時計、電子手帳等の小型電子機器は、複雑な機能を有するシステムとして構成されている。また、液晶表示部を持つ電子機器も多く、このような機器は液晶駆動用電源に 4 倍昇圧回路等を有している。ここで、4 倍昇圧回路に供給する電源には、電源電圧の変動に拘らず一定を保つ定電圧回路の出力を用いるのが一般的である。

【0003】図 7 に、従来の定電圧回路の構成を示す。バイアス回路 11 から電圧 Bias1 と Bias2 が発生され、電圧 Bias2 は基準電圧発生回路 12 へ与えられ、電圧 Bias1 は差動アンプ 13 へバイアス供給している。基準電圧発生回路 12 は、電圧 Vref を出力して差動アンプ 13 の反転入力端子に与える。

【0004】差動アンプ 13 と、抵抗 R3 及び R4、P チャンネルトランジスタ P6 とでボルテージフォロワ回路が構成されている。ここで、抵抗 R3 と R4 とを接続するノード 15 が、差動アンプ 13 の非反転入力端子に接続されている。

【0005】抵抗 R3 及び R4 と、P チャンネルトランジスタ P6 とは、接地電圧 Vss 端子と電源電圧 VDD 端子との間に直列に接続されており、抵抗 R4 とトランジスタ P6 との間からは定電圧 Vreg2 が出力される。また、抵抗 R4 と P チャンネルトランジスタ P6 とを接続するノードと差動アンプ 13 の出力端子との間には、位相補償用

のコンデンサ C1 が接続されている。

【0006】図 8 に、この定電圧回路の具体的な構成を示す。ここで、各トランジスタは飽和領域であって、閾値電圧よりも低い電圧で動作する弱反転領域にあるとする。

【0007】バイアス回路 11 は、N チャンネルトランジスタ N1 及び N2 と、抵抗 R1、P チャンネルトランジスタ P1 及び P2 から構成され、電源電圧 VDD 及び接地電圧 Vss を供給されてバイアス電圧 Bias1 及び Bias2 を出力する。

【0008】基準電圧発生回路 12 は、接地電圧 Vss 端子と電源電圧 VDD 端子との間に抵抗 R2 と P チャンネルトランジスタ P3 とが直列に接続されている。トランジスタ P3 のゲートにバイアス電圧 Bias2 が供給され、抵抗 R2 と P チャンネルトランジスタ P3 のソースとを接続するノードから基準電圧 Vref が出力される。

【0009】ここで、バイアス回路 11 のバイアス電圧 Bias1 は電源電圧 VDD に依存せずに一定であり、またバイアス電圧 Bias2 は電源電圧 VDD の変化に応じて P チャンネルトランジスタ P1 のドレイン・ソース間電圧と P チャンネルトランジスタ P2 のゲート・ソース間電圧とが一定になるように追従する。この結果、基準電圧発生回路 12 から発生される基準電圧 Vref は、電源電圧 VDD に依存せずに一定を維持する。

【0010】差動アンプ 13 は、N チャンネルトランジスタ N3 ~ N5 と、P チャンネルトランジスタ P4 及び P5 とでカレントミラー型の回路を構成している。N チャンネルトランジスタ N3 のゲートにはバイアス電圧 Bias1 が入力され、N チャンネルトランジスタ N4 のゲートには基準電圧 Vref が入力される。N チャンネルトランジスタ N4 と P チャンネルトランジスタ P4 とを接続するノードから発生される電圧がノード 14 を介して P チャンネルトランジスタ P6 のゲートに入力され、P チャンネルトランジスタ P6 のドレイン電流が制御される。

【0011】また、N チャンネルトランジスタ N5 のゲートには、抵抗 R3 及び R4 を接続するノード 15 が接続されている。このため、このノード 15 が基準電圧 Vref と等電位になるように、ノード 14 の電位が P チャンネルトランジスタ P6、抵抗 R4 及び R3 を介してノード 15 へフィードバックされる。

【0012】ここで、差動アンプ 13 へ入力される電圧 Vref と、ノード 15 の電位とが一致して平衡状態に到達したとき、即ち抵抗 R3 の両端の電圧 VR3 が Vref に等しい場合には、抵抗 R4 の両端の電圧 VR4 は、

$$VR4 = Vref \times R4 / R3 \quad (1)$$
となる。

【0013】この結果、抵抗 R4 と P チャンネルトランジスタ P6 とを接続するノードから出力される電圧 Vreg2 は、

$$Vreg2 = Vref + VR4 \quad (2)$$

となる。

【0014】また、バイアス回路11において、NチャネルトランジスタN1及びN2のそれぞれのゲート・ソース間電圧をVGSN1、VGSN2とすると、この両者は一致する。バイアス電圧Bias2は電源電圧VDDの変動に対して一定の電圧差を維持しながら追従することになる。即ち、PチャネルトランジスタP1及びP2のゲート・ソース間電圧をVGSP1、VGSP2とすると、この両者も一致して一定の値を維持する。

【0015】この結果、電源電圧VDD端子から、PチャネルトランジスタP1、抵抗R1、NチャネルトランジスタN1、接地電圧Vss端子を流れる電流I1は、電源電圧VDDに依存せずに一定である。同様に、電源電圧VDD端子、PチャネルトランジスタP2、NチャネルトランジスタN2、接地電圧Vss端子を流れる電流I2は、電源電圧VDDに依存せずに一定である。

【0016】基準電圧発生回路12において、バイアス電圧Bias2をゲートに印加されるPチャネルトランジスタP3のゲート・ソース間電圧VGSは、PチャネルトランジスタP2のゲート・ソース間電圧VGSと一致する。このため、電源電圧VDD端子、PチャネルトランジスタP3、抵抗R2、接地電圧Vss端子を流れる電流I3は、

$$I3 = I2 \times P3 / P2 \quad (3)$$

となる。

【0017】この結果、基準電圧発生回路12の基準電圧Vrefは、次のような式(4)で表される。

$$Vref = I3 \times R2 \quad (4)$$

このように、基準電圧Vrefは電源電圧VDDに依存することなく一定の値を維持することができる。

【0018】差動アンプ13において、NチャネルトランジスタN3はバイアス電圧Bias1をゲートに入力され定電流動作を行う。また、NチャネルトランジスタN4及びN5は、サイズが一致しており、同様にPチャネルトランジスタP4及びP5もサイズが一致している。

【0019】基準電圧VrefがNチャネルトランジスタN4のゲートに入力されると、電源電圧VDD、PチャネルトランジスタP4、NチャネルトランジスタN4、NチャネルトランジスタN3、及び接地電圧Vss端子との間に電流が流れて、ノード14の電位が決定される。このノード14の電位がPチャネルトランジスタP6のゲートに入力され、このトランジスタP6が動作して、電源電圧VDD端子から抵抗R4、R3、及び接地電圧Vss端子の間に電流が流れる。

【0020】抵抗R3及びR4とを接続するノード15の電圧をV15とすると、差動アンプ13は基準電圧Vrefと電圧V15とが一致するように動作する。即ち、差動アンプ13は、ノード14から出力する電位をPチャネルトランジスタP6のゲートに与えることで、電源電圧VDD端子、PチャネルトランジスタP6、抵抗R4及び

R3、接地電圧Vss端子の間を流れる電流を制御し、Vref = V15となるように動作する。

【0021】

【発明が解決しようとする課題】このような従来の定電圧回路には、次のような問題があった。

【0022】電源電圧VDDが変動しても基準電圧Vrefは一定を維持し、出力電圧Vregも一定を保つ。しかし、バイアス電圧Bias1及びBias2、基準電圧Vrefが一定であって、電源電圧VDDが大きく変動した場合には、PチャネルトランジスタP2とPチャネルトランジスタP3との間のドレイン・ソース間電圧VDSは大きくなる。

【0023】トランジスタP2及びP3は上述したように飽和領域で動作しており、本来はそれぞれに流れる電流はドレイン・ソース間電圧VDSに依存することなくほぼ一定を維持するように動作する。ところが、図9に示されたように、電圧VDSが大きくなると、ドレイン電流IDSが徐々に増加していく。図中、A点とB点とでは差が生じる。これは、トランジスタの製造プロセスに起因する現象であって、飽和領域でありながら、ドレイン・ソース間電圧VDSにドレイン電流IDSが依存している。

【0024】電源電圧VDDが大きくなると、結果的にドレイン・ソース間電圧VDSも大きくなるため、ドレイン電流IDSも徐々に増加していくことになる。図8におけるバイアス回路11において、電源電圧VDD端子、PチャネルトランジスタP2、NチャネルトランジスタN2、接地電圧Vss端子を流れる電流I2と、基準電圧発生回路12における電源電圧VDD端子、PチャネルトランジスタP3、抵抗R2、接地電圧Vss端子を流れる電流I3とが増加することになり、基準電圧Vrefが大きくなってしまふ。これにより、この定電圧回路の出力電圧Vregも大きくなり、一定を維持することができなくなる。

【0025】以下に、このような問題を具体的な数値を用いて説明する。出力電圧Vregが1.6Vとなるように、抵抗R3及びR4とともに500kオームに設定する。また、電源電圧VDD端子、PチャネルトランジスタP3、抵抗R2、接地電圧Vss端子を流れる電流I3が、1μAであって、抵抗R2が800kオームに設定されているとする。この場合、基準電圧Vrefは0.8Vであり、出力電圧VregはV15の2倍に等しいことから、Vregは1.6Vと所望の値になることがわかる。

【0026】ここで、電源電圧VDDが1.6Vよりも上昇し、約5Vまで高くなったとする。PチャネルトランジスタP3には上述したようなドレイン・ソース間電圧VDSによりドレイン電流IDSが変化する特性があるため、電流I3が1μAよりも大きくなる。仮に、電流I3が1.1μAになったとすると、基準電圧Vrefは、 $Vref = 1.1 \mu A \times 800 k \text{ オーム} = 0.88 V$ となる。これにより、出力電圧Vregは、 $Vreg = 0.88$

$\times 2 = 1.76\text{V}$ となり、所望の値 1.6V が得られなくなる。

【0027】電源電圧 V_{DD} 端子、Pチャネルトランジスタ P_2 、Nチャネルトランジスタ N_2 、接地電圧 V_{SS} 端子を流れる電流 I_2 も電流 I_3 と同様に、電源電圧 V_{DD} により変化する。この結果、出力電圧 V_{reg} も電源電圧 V_{DD} の影響を受けて変動することになる。例えば、出力電圧 V_{reg} を基準電圧として液晶表示用に4倍昇圧電圧を得ようとする、 $1.76 \times 4 = 7.04\text{V}$ となつて、本来の $1.6\text{V} \times 4 = 6.4\text{V}$ とは大きく異なる電圧となる。この結果、液晶にかかる電圧が過大となつて、表示品質を劣化させるなどの問題が生じる。

【0028】従来の定電圧回路には、図10に示されたような構成を有するものもあった。この図10に示された回路のより詳細な回路構成は図11に示している。

【0029】この定電圧回路は図7に示された回路を2つ備えており、バイアス回路11、基準電圧発生回路12、差動アンプ13、抵抗 R_3 及び R_4 、Pチャネルトランジスタ P_6 、容量 C_1 から成る1段目の定電圧回路から電圧 V_{reg1} を発生させる。この電圧 V_{reg1} を、次段のバイアス回路21、基準電圧発生回路22、差動アンプ23、抵抗 R_7 及び R_8 、Pチャネルトランジスタ P_{12} 、容量 C_2 から成る1段目の定電圧回路から最終的な出力電圧 V_{reg2} を発生させる。

【0030】電圧 V_{reg1} は、電源電圧 V_{DD} に対して大きく変動することがない。このため、出力電圧 V_{reg2} は、電源電圧 V_{DD} の影響を受けにくい。

【0031】しかし、この図10に示された定電圧回路では、図7に示された回路の2倍の素子数及びパターン面積を必要とする。

【0032】さらに、図10に示された定電圧回路は、図7に示された回路の2倍の消費電流が必要となる。

【0033】本発明は上記事情に鑑みてなされたもので、回路規模の増大を招くことなく電源電圧の変動の影響を抑制し一定の電圧を得ることが可能な定電圧回路を提供することを目的とする。

【0034】

【課題を解決するための手段】本発明の定電圧回路は、電源電圧を与えられて第1及び第2のバイアス電圧を発生するバイアス回路と、前記電源電圧と、前記バイアス回路から発生された前記第1のバイアス電圧とを与えられて基準電圧を発生する基準電圧発生回路と、差動増幅段と出力段とを有し、前記バイアス回路から発生された前記第2のバイアス電圧と前記基準電圧発生回路から発生された前記基準電圧とを与えられて前記基準電圧の n 倍の電圧を出力するボルテージフォロワ回路であって、前記差動増幅段の一方の入力端子には前記基準電圧発生回路から発生された前記基準電圧が入力され、他方の入力端子には前記ボルテージフォロワ回路から出力された前記電圧の $1/n$ の電圧が入力される、前記ボルテージ

フォロワ回路とを備え、前記ボルテージフォロワ回路から出力された前記電圧が、前記バイアス回路及び前記基準電圧発生回路に前記電源電圧として与えられることを特徴としている。

【0035】

【作用】定電圧回路から出力された電圧をバイアス回路及び基準電圧発生回路への電源電圧として与えることで、バイアス回路及び基準電圧発生回路の電源電圧は定電圧回路から出力された電圧以上に高くなることなく、バイアス回路から発生される第1及び第2のバイアス電圧と基準電圧発生回路から発生される基準電圧とは精度が高く安定したものとなり、その結果ボルテージフォロワ回路から安定した高精度な電圧が出力される。

【0036】

【実施例】以下、本発明の一実施例について図面を参照して説明する。

【0037】図1に、本実施例における定電圧回路の構成を示す。バイアス回路1は、バイアス電圧 $Bias1$ 及び $Bias2$ を発生し、バイアス電圧 $Bias1$ は差動アンプ3へ供給し、バイアス電圧 $Bias2$ は基準電圧発生回路2へ供給する。基準電圧発生回路2は、基準電圧 V_{ref} を発生して差動アンプ3の反転入力端子に入力する。また、差動アンプ3と、抵抗 R_3 及び R_4 、Pチャネルトランジスタ P_6 、容量 C_1 でボルテージフォロワ回路が構成されている。ここで、抵抗 R_3 と R_4 とを接続するノード5は、差動アンプ3の非反転入力端子に接続されている。さらに、Pチャネルトランジスタ P_6 と抵抗 R_4 とを接続するノードからは、この定電圧回路の出力電圧に相当する電圧 V_{reg} が出力される。このトランジスタ P_6 と抵抗 R_4 とを接続するノードと、差動アンプ3の出力端子とPチャネルトランジスタ P_6 のゲートとを接続するノードとは、位相補償用のコンデンサ C_1 が接続されている。

【0038】そして、本実施例による定電圧回路は、出力電圧 V_{reg} が、バイアス回路1と基準電圧発生回路2の電圧源として供給される点に特徴がある。

【0039】図2に、本実施例による定電圧回路の詳細な回路構成を示す。図8に示された定電圧回路と比較し、Pチャネルトランジスタ P_1 、 P_2 及び P_3 のドレインに、電源電圧 V_{DD} の代わりに出力電圧 V_{reg} を供給する点が相違する。図8の要素と同一の要素にはそれぞれ同一の番号を付して説明を省略する。

【0040】次に、本実施例における定電圧回路の動作について、電源電圧 V_{DD} 、基準電圧 V_{ref} 、出力ノード4及び5、バイアス電圧 $Bias1$ 及び $Bias2$ 、本実施例における出力電圧 V_{reg1} と従来の定電圧回路における出力電圧 V_{reg2} の時間的变化を示した図3を用いて説明する。

【0041】差動アンプ3のPチャネルトランジスタ P_4 及び P_5 のソースと、Pチャネルトランジスタ P_6 の

ソースにそれぞれ電源電圧 V_{DD} を供給して比較的速く電位を上昇させていくと、Pチャネルトランジスタ P_4 のゲート・ソース間電圧 V_{GS} が増大して、Pチャネルトランジスタ P_4 がオンする方向へ向かう。

【0042】しかしながら、ノード4は、 V_{DD} 、Pチャネルトランジスタ P_4 、ノード4、 C_1 、 R_4 、 R_3 、 V_{SS} の経路でスタート回路を形成しているため、 C_1 とPチャネルトランジスタ P_4 とでCRの時定数でレベルが生じる。従って、電源立ち上げ段階、つまり、図3の領域の状態となり、ノード4と V_{DD} との間に電位差が生じることになる。言い換えれば、Pチャネルトランジスタ P_6 に V_{GS} が生じ、ON状態に至る。

【0043】この結果、 V_{DD} 、Pチャネルトランジスタ P_6 、抵抗 R_4 、 R_3 、 V_{SS} 間に電源が流れ始め、ノード5及び出力電圧 V_{reg1} にレベルが生じ、この出力電圧 V_{reg1} がバイアス回路1へ供給されると、バイアス回路1が徐々に動作を開始する。これにより、バイアス回路1から出力されるバイアス電圧 $Bias1$ 及び $Bias2$ と接地電圧 V_{SS} との間に電圧レベルが生じていく。バイアス電圧 $Bias2$ に電圧レベルが生じると、この電圧 $Bias2$ を入力される基準電圧発生回路2のPチャネルトランジスタ P_3 が動作し、基準電圧 V_{ref} と接地電圧 V_{SS} との間に電位差が生じる。また、バイアス電圧 $Bias1$ に電圧レベルが生じると、この電圧 $Bias1$ を入力される差動アンプ3のNチャネルトランジスタ N_3 が動作する。これは図3の領域Iの動作を示す。

【0044】更に電源電圧 V_{DD} のレベルが上昇していくと、差動アンプ3の出力ノード4の電位と電源電圧 V_{DD} との間の電位差が大きくなる。この電位差は、Pチャネルトランジスタ P_6 のゲート・ソース間電圧 V_{GS} に相当し、閾値電圧 V_{th} まで大きくなると、Pチャネルトランジスタ P_6 がオンする。これにより、出力電圧 V_{reg1} は電源電圧 V_{DD} とほぼ等しいレベルになる。これは図3の領域IIの動作を示す。

【0045】電源電圧 V_{DD} がさらに上昇すると、バイアス回路1及び基準電圧発生回路2には定電流が流れ始める。この結果、基準電圧発生回路2において、電圧 V_{reg1} 端子、Pチャネルトランジスタ P_3 、抵抗 R_2 、接地電圧 V_{SS} 端子の間に流れる定電流と、抵抗 R_2 との積に等しい基準電圧 V_{ref} が発生され出力されることになる。

【0046】また、差動アンプ3において定電流が流れだすと、この出力ノード4の電位がPチャネルトランジスタ P_6 に流れるドレイン電流を制御する。これにより、抵抗 R_3 及び R_4 を接続するノード5の電圧レベルが基準電圧 V_{ref} と一致するように、電源電圧 V_{DD} 端子、Pチャネルトランジスタ P_6 、抵抗 R_4 及び R_3 、接地電圧 V_{SS} 端子の間を流れる電流が調整される。この結果、出力電圧 V_{reg1} も設定されたレベルを保持するように動作する。

【0047】そして、本実施例では上述のようにバイアス回路及び基準電圧発生回路に供給する電源として、出力電圧 V_{reg1} を用いている。このため、図3に示されたように、電源電圧 V_{DD} が定常レベルよりも大きくなった場合にも、従来の回路における出力電圧 V_{reg2} とは異なり、バイアス回路及び基準電圧発生回路に供給される電源は出力電圧 V_{reg1} 以上に高くなることなく、安定した基準電圧 V_{ref} を発生させて一定の定電圧 V_{reg1} を出力することができる。

【0048】また、従来は高精度な定電圧 V_{reg} を得るためには、図10を用いて説明したように2段構成となり、素子数の増加を招いていた。これに対し、本実施例では1段の構成で素子数の増加を招くことなく安定した定電圧出力を得ることができる。このため、集積回路化した場合にパターン面積の増大を防止することができる。

【0049】また、図10に示された回路のように2段構成とした場合には消費電流が増加するが、本実施例では消費電流の増加を招くことなく高精度の定電圧 V_{reg} を得ることができる。

【0050】次に、本発明の他の実施例による定電圧回路の構成を図4に示す。この実施例は、負の電源電圧 V_{DD} を使用して負の出力電圧 V_{reg} を発生する点に特徴がある。負の電源電圧 V_{DD} を用いることで、バイアス回路31、基準電圧発生回路32、差動アンプ33、出力段を構成するトランジスタの極性が反転している。また、出力段において図2に示された実施例で用いていた抵抗 R_3 及び R_4 の代わりに、Nチャネルトランジスタ $N_{16} \sim N_{18}$ からなるMOS抵抗を用いている。

【0051】図5に、本発明のさらに他の実施例による定電圧回路の構成を示す。本実施例では、2段の差動アンプ43及び46を用いている点に特徴がある。Nチャネルトランジスタ N_{21} 及び N_{22} と、Pチャネルトランジスタ P_{21} 及び P_{22} 、抵抗 R_{21} を有するバイアス回路41と、抵抗 R_{22} 及びPチャネルトランジスタ P_{23} を有する基準電圧発生回路42と、Nチャネルトランジスタ $N_{23} \sim N_{25}$ 、Pチャネルトランジスタ P_{24} 及び P_{25} を有する差動アンプ43と、抵抗 R_{23} 及び R_{24} 、Pチャネルトランジスタ P_{26} 、容量 C_{21} 、 C_{22} を有する出力段とで、出力電圧 V_{reg21} を発生する。この電圧 V_{reg21} が、2段目のNチャネルトランジスタ $N_{26} \sim N_{28}$ とPチャネルトランジスタ P_{27} 及び P_{28} を有する作動アンプ46の、Nチャネルトランジスタ N_{27} のゲートに与えられる。また、Nチャネルトランジスタ N_{26} のゲートには、バイアス回路41から発生されたバイアス電圧 $Bias1$ が入力される。この作動アンプ46の出力ノード27から出力された電位が、Pチャネルトランジスタ P_{29} 、抵抗 R_{25} 及び容量 C_{23} から成る出力段に与えられ、トランジスタ P_{29} 及び抵抗 R_{25} に流れる電流が調節されて、出力電圧

Vreg2のレベルが制御される。

【0052】この実施例では、抵抗R24とPチャネルトランジスタP26とを接続するノードから出力される電圧Vreg21が、バイアス回路41と基準電圧発生回路42とに電源として供給される。これにより、上述した図2に示された実施例と同様に、電源電圧VDDの影響を受けずに一定の電圧Vreg21が発生される。この定電圧Vreg21とバイアス電圧Bias1とが差動アンプ46に入力され、発生された出力ノード27の電位により出力段のトランジスタP29及び抵抗R25に流れる電流が調節され、出力電圧Vreg22のレベルが決定される。これにより、図2の実施例以上に電源電圧VDDの変動の影響を受けない定電圧Vreg22を発生することができる。

【0053】図6に、本発明のさらに他の実施例による定電圧発生回路の構成を示す。この実施例は、図5に示された実施例と比較し、バイアス回路41、基準電圧発生回路42に供給する電源に、出力段のPチャネルトランジスタP26のソースから出力される電圧Vreg21ではなく、PチャネルトランジスタP29のソースから出力される電圧Vreg22を用いている点が相違する。この実施例においても、電源電圧VDDが高くなってもバイアス回路41及び基準電圧発生回路42に供給される電源は電圧Vreg22以上になることがなく、安定した基準電圧Vrefを発生させることで、電源変動の影響を受けずに安定した電圧Vregを出力することができる。

【0054】上述した実施例はいずれも一例であり、本発明を限定するものではない。図2、図4～図6に示されたものと具体的な回路構成が異なってもよく、例えばバイアス回路を例にとれば電源を与えられてバイアス電圧を発生し得るものであればいかなる構成から成るものであっても本発明を適用することができる。

【0055】

【発明の効果】以上説明したように本発明の定電圧回路は、定電圧回路から出力された電圧をバイアス回路及び基準電圧発生回路への電源電圧として与えるため、バイ

アス回路及び基準電圧発生回路の電源電圧は定電圧回路から出力された電圧以上に高くならず、第1及び第2のバイアス電圧と基準電圧は精度が高く安定したものとなり、ボルテージフォロワ回路から安定した高精度な電圧が出力される。

【図面の簡単な説明】

【図1】本発明の一実施例による定電圧回路の構成を示したブロック図。

【図2】同定電圧回路の詳細な構成を示した回路図。

【図3】同定電圧回路における各電圧波形の時間的变化を示した説明図。

【図4】本発明の他の実施例による定電圧回路の構成を示したブロック図。

【図5】本発明のさらに他の実施例による定電圧回路の構成を示したブロック図。

【図6】本発明のさらに他の実施例による定電圧回路の構成を示したブロック図。

【図7】従来の定電圧回路の構成を示したブロック図。

【図8】同定電圧回路の詳細な構成を示した回路図。

【図9】同定電圧回路におけるトランジスタP2及びP3のドレイン・ソース間電圧とドレイン電流との関係を示した説明図。

【図10】従来の他の定電圧回路の構成を示したブロック図。

【図11】同定電圧回路の詳細な構成を示した回路図。

【符号の説明】

1, 31, 41 バイアス回路

2, 32, 42 基準電圧発生回路

3, 33, 43, 46 差動アンプ

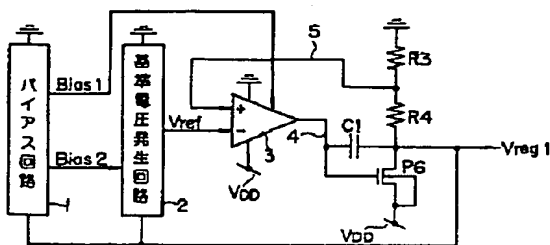
N1～N5, N11～N19, N21～N28 Nチャネルトランジスタ

P1～P6, P11～P15, P21～P29 Pチャネルトランジスタ

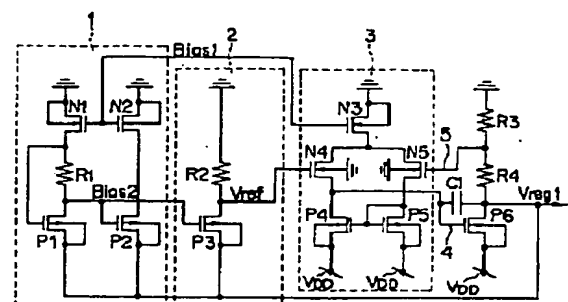
R1～R4, R21～R25 抵抗

C1, C21～C23 容量

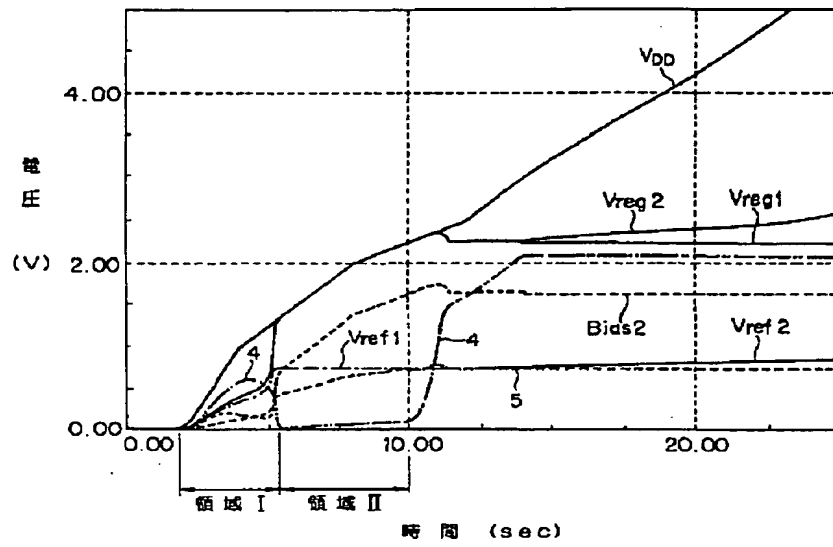
【図1】



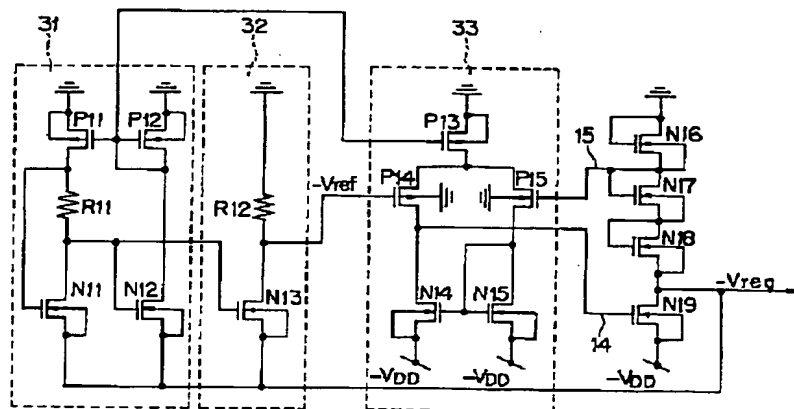
【図2】



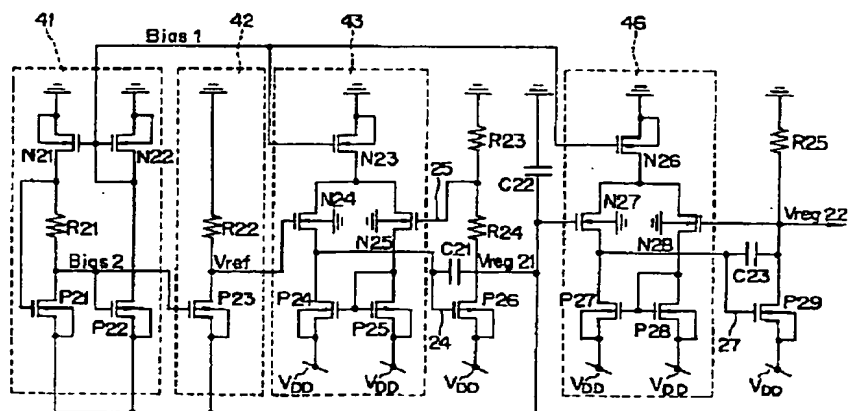
【図 3】



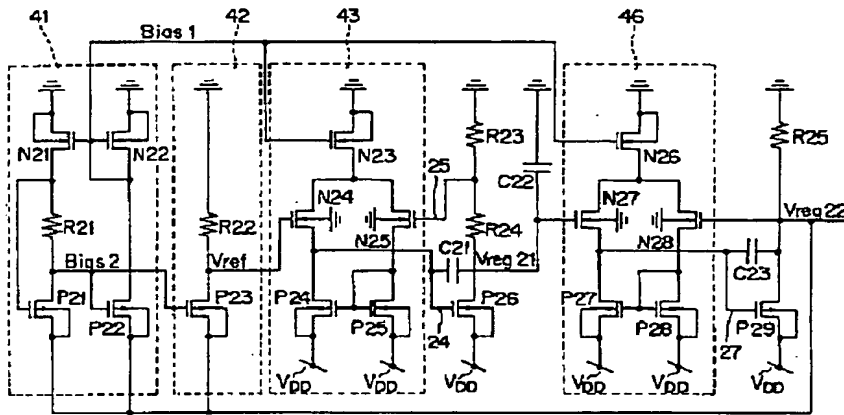
【図 4】



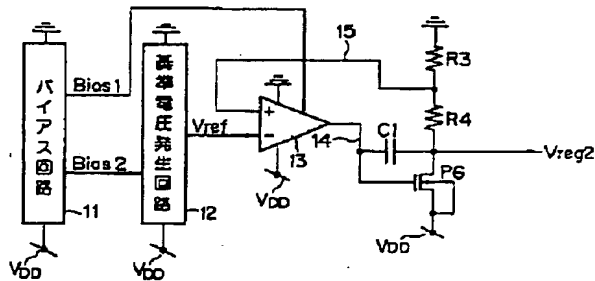
【図 5】



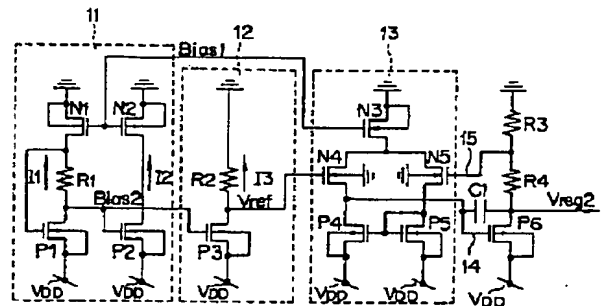
【図 6】



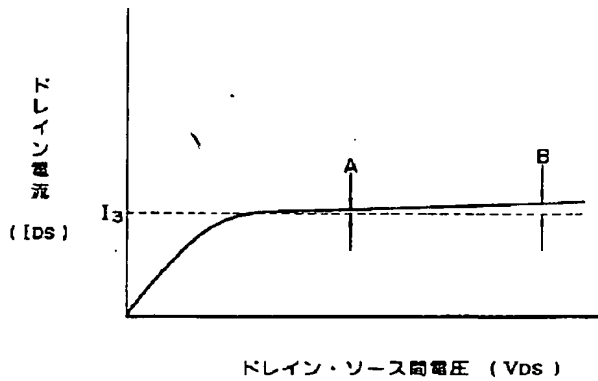
【図 7】



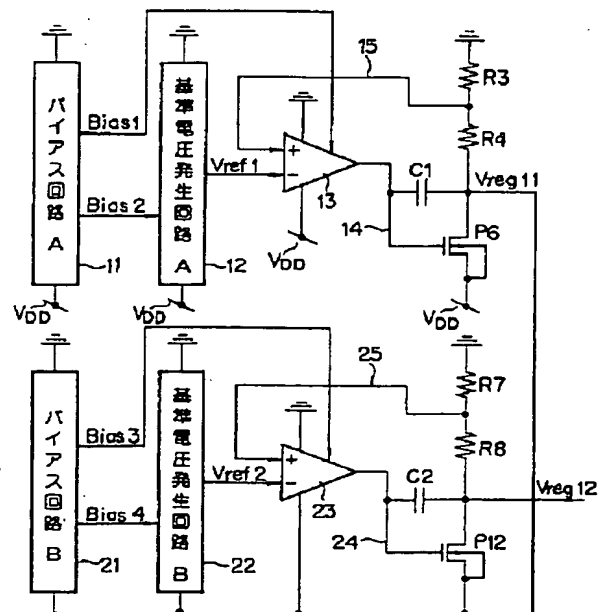
【図 8】



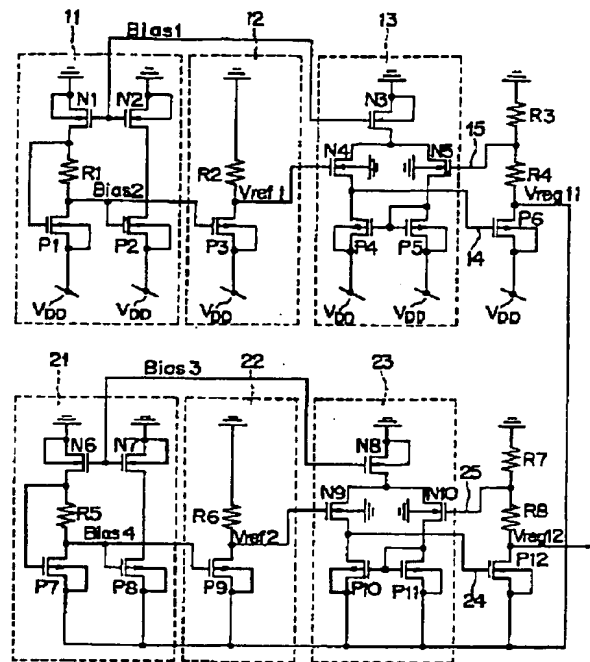
【図 9】



【図 10】



【図 1 1】



フロントページの続き

- (72) 発明者 梶 原 栄 次
 神奈川県川崎市幸区堀川町 5 8 0 番 1 号
 株式会社東芝半導体システム技術センター
 内
- (72) 発明者 田 口 隆
 神奈川県川崎市幸区堀川町 5 8 0 番 1 号
 株式会社東芝半導体システム技術センター
 内
- (72) 発明者 吉 田 博 史
 神奈川県川崎市川崎区駅前本町 2 5 番地 1
 東芝マイクロエレクトロニクス株式会社
 内
- (72) 発明者 内 田 英 明
 神奈川県川崎市川崎区駅前本町 2 5 番地 1
 東芝マイクロエレクトロニクス株式会社
 内